

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-359244  
 (43)Date of publication of application : 13.12.2002

(51)Int.CI. H01L 21/3205  
 H01L 21/304

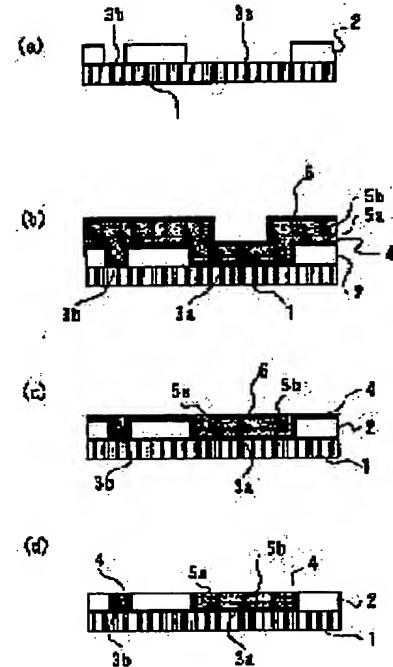
(21)Application number : 2001-164672 (71)Applicant : SONY CORP  
 (22)Dat of filing : 31.05.2001 (72)Inventor : NAGASHIMA NAOKI

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To form a uniformly thick wiring in a damascene process.

SOLUTION: A method for manufacturing a semiconductor device comprises steps of laminating tantalum nitride 4, copper 5a, copper 5b, and tantalum nitride 6 of conductive films having different polishing rates on an upper layer of an insulating film formed with wiring grooves 3a, 3b, setting film thicknesses of the tantalum nitride 4, the copper 5a, the copper 5b and the tantalum nitride 6, so that a surface height of the tantalum nitride 4 formed on a silicon oxide film 2 in which the groove 3 is removed, turns into the same as surface heights of the tantalum nitride 6 formed on the upper layer of the groove 3a and forming on the surface of the copper 5b, and then polishing the film.



## LEGAL STATUS

[Dat of request for examination] 06.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(10) 日本国特許庁 (JP) (12) 公開特許公報 (A) (11) 特許出願公開番号  
特開2002-359244  
(P2002-359244A)  
(43) 公開日 平成14年12月13日 (2002.12.13)

【特許請求の範囲】  
【請求項 1】 配線を形成する半導体装置の製造方法において、  
絶縁膜を形成して導体バーンを形成し、  
前記導体バーンの上に第1バリアメタル層および配線  
材層を形成し、  
前記導体バーンの凸部上前記第1バリアメタル層の表  
面高さと、前記導体バーンの凹部上第2バリアメタル  
層の表面高さとが同じになるよう前に記第2バリアメタ  
ル層を形成し、  
前記導体バーンの凸部上前記第2バリアメタル層を除  
去し、  
前記導体バーンの凸部上前記絶縁材層を除去し、  
前記導体バーンの凸部上前記第1バリアメタル層と前  
記導体バーンの凹部上前記第2バリアメタル層とを除  
去することを特徴とする半導体装置の製造方法。

【請求項 2】 前記導体バーンの凸部上前記第2バリ  
アメタル層を研磨により除去し、  
前記絶縁材層より前記導体バーンの研磨速度が速い研  
磨条件で前記導体バーンの凸部上前記絶縁材層  
を研磨により除去し、  
前記絶縁材層より前記第1バリアメタル層と前記導  
体バーンの凹部上前記第1バリアメタル層とを研磨によ  
り除去することを特徴とする請求項1記載の半導体装置  
の製造方法。

【請求項 3】 前記導体バーンの凸部上前記第2バリ  
アメタル層を研磨により除去し、  
前記導体バーンの凸部上前記第2バリアメタル層と前  
記導体バーンの凹部上前記第1バリアメタル層とを研  
磨により除去することを特徴とする請求項1記載の半  
導体装置の製造方法。

【請求項 4】 前記導体バーンを形成する前記絶縁  
材層を多層構造を有することを特徴とする請求項1記載の半  
導体装置の製造方法。

【請求項 5】 前記導体バーンは、前記絶縁材層および  
接続孔を有することを特徴とする請求項1記載の半導体  
装置の製造方法。

【要約】 ダマシングプロセスにおいて均一な膜厚の配線  
を形成する。

【解決手段】 配線膜3a、3bを形成した絶縁膜の上  
面に、研磨速度の異なる導電膜である塗化タンタル4、  
銅5a、銅5b、塗化タンタル層を積層し、かつ、銅5  
bの表面に、配線膜3aを除いたシリコン酸化膜2に形  
成した塗化タンタル4の表面高さと、配線膜3aの上面  
に形成する塗化タンタル4、銅5a、銅5b、塗化タンタル6の  
膜厚を設定して形成した後に研磨する。

(54) 【発明の名稱】 半導体装置の製造方法

(57) 【要約】

【課題】 ダマシングプロセスにおいて均一な膜厚の配線  
を形成する。

【解決手段】 配線膜3a、3bを形成した絶縁膜の上  
面に、研磨速度の異なる導電膜である塗化タンタル4、  
銅5a、銅5b、塗化タンタル層を積層し、かつ、銅5  
bの表面に、配線膜3aを除いたシリコン酸化膜2に形  
成した塗化タンタル4の表面高さと、配線膜3aの上面  
に形成する塗化タンタル4、銅5a、銅5b、塗化タンタル6の  
膜厚を設定して形成した後に研磨する。

【発明の詳細な説明】

[0 0 0 1]

【発明の属する技術分野】 本発明は半導体装置の製造方  
法に関する技術である。

[0 0 0 2]

【発明の技術】 半導体装置回路の微細化に伴い、素子接  
続部の最小構造および最小配線間隔は大きくなっ  
て、配線の微細化が進み、配線の電流密度が増加した場  
合、高速に移動する電荷により配線材料の原子移動(マ  
イグレーション)が生じ、配線の断線や高抵抗がおこ  
る可能性がある。従って、電流密度の増加を抑えるため  
に配線の厚みを薄くすることはできず、配線間隔の縮小によ  
りの増大による配線の加工不良や、配線間隔の縮小によ  
る寄生容量の増大などの問題を引き起こしている。

[0 0 0 3]

【発明の問題】 0 0 0 3】 このような問題を解決するため、配線材料  
については、従来のアルミニウムから銅に変更し、配線抵抗の低  
下、耐マイグレーション性の向上を図ることが検討され  
ている。

[0 0 0 4]

【発明の解決しようとする課題】 0 0 0 4】 さらに、配線形成方法については、配線の  
加工不良や、配線間隔の縮小による寄生容量を減らすた  
めに、配線部に配線膜を複数、配線そのものを絶縁膜に  
埋め込むダマシング法が提案されている。

[0 0 0 5]

【発明が解決しようとする課題】 0 0 0 5】 ダマシング法は絶縁膜に  
配線膜を複数、配線そのものを絶縁膜に埋め込んで配線  
を形成する方法である。

[0 0 0 6]

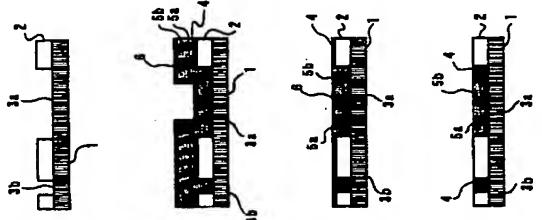
【発明の解決しようとする課題】 0 0 0 6】 図2は従来の接続部の形成工程の際略を  
示す図であり、(a)は配線形成工程、(b)は配線  
材層形成工程、(c)は研磨工程、(d)は銅配線形成  
工程を示す図である。

[0 0 0 7]

【発明の解決しようとする課題】 0 0 0 7】 図2(a)の工程では、シリコン基板上に  
素子(図示せず)を形成した後、絶縁膜であるシリコン  
酸化膜1、1、1を順次形成して、その上にレジストを  
塗布した後、フォトリソグラフィーにより配線となる部  
分のレジストを開口してレジストバーチャーを形成する。  
次いで、レジストバーチャーをマスクとしてシリコン酸化膜1  
層1の異方性エッチングを行い、シリコン酸化膜1、2  
に絶縁部の広い配線膜1、3aおよび配線膜1、3  
bを形成して導体バーンを形成する。

[0 0 0 8]

【発明の解決しようとする課題】 0 0 0 8】 図2(b)の工程では、導体バーンの上  
に、第1バリアメタル層として銅1、5を形成  
した後、配線材層として銅1、5を形成する。このとき、  
導体バーンの部分に比べて低く形成される。  
【発明の解決しようとする課題】 0 0 0 9】 図2(c)の工程では、塗化タンタル1、4  
が露出するまで銅1、5を研磨する。図2(d)の工程で  
は、シリコン酸化膜1、2が露出するまで塗化タンタル1  
4および銅1、5を研磨し、配線膜1、3a、1、3bに配  
線を形成する。

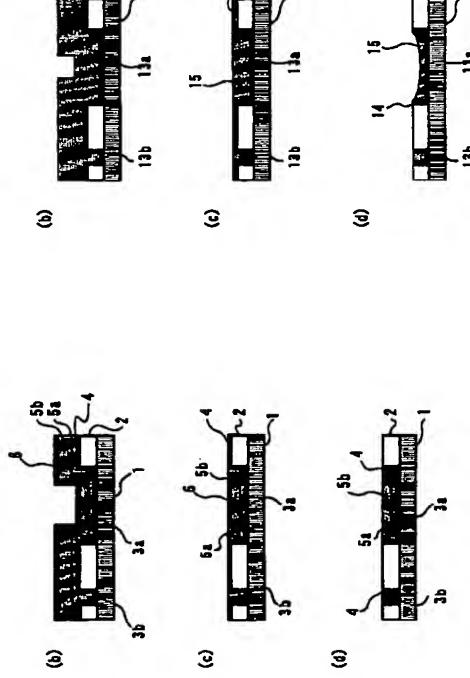




[図1]



[図2]



## フロントページの焼き

F ターム(参考) 5F033 HH08 HH11 HH21 III32 III33  
 HH34 JJ08 JJ11 JJ21 JJ32  
 JJ33 JJ34 MM01 MM02 MM12  
 MM13 MM29 NN06 NN07 PP15  
 PP27 QQ09 QQ16 QQ48 QQ49  
 RR04 TT02 VV07 XX01 XX10  
 XX27